

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97410

(43) 公開日 平成8年(1996)4月12日

(51) IntCl.

H01L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

301 D

審査請求 未請求 請求項の数 1 OL (全 7 頁)

(21) 出願番号 特願平6-151351
(22) 出願日 平成6年(1994)7月1日

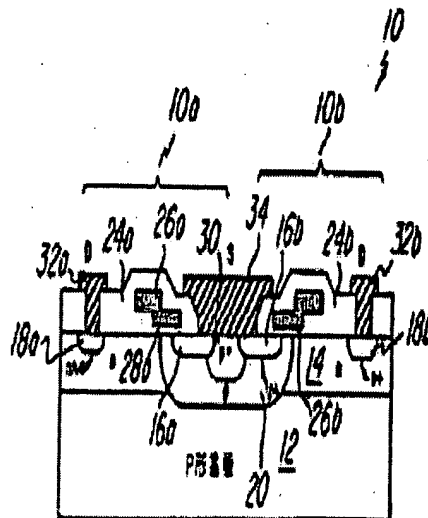
(71) 出願人 580000879
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500
(72) 発明者 ウェイ ツング ヌグ
カナダ国オンタリオ, ソーンヒル, リンソ
ンブ ドライブ 23
(72) 発明者 オウ - キョング クウォン
大韓民国ソウル, セオングドンク -
ク, エウングボンク - ドング, ディー
ルン アパートメント 8-202
(74) 代理人 井理士 浅村 皓 (外 3 名)

(54) 【発明の名称】 自己整合した横型DMOSTランジスタの製造法

(57) 【要約】 (修正有)

【目的】 最良のオン抵抗性とブレークダウン電圧とを有し、かつ、構成が単純で、かつ、多方面に適用可能な、自己整合した横型DMOSTランジスタの製造法を提供する。

【構成】 フィールド酸化物のような絶縁層24が、半導体層14の上に作成される。次に、ソース窓とドレイン窓を露出するために、この絶縁層がパターンに作成され、そして、半導体層のソース窓部分の中に、ドーウエル領域20が作成される。ソース窓の周縁の絶縁層の側壁に隣接して、側壁領域が作成され、そして、ソース領域16およびドレイン領域18が、例えばイオンを注入することにより、作成される。ソース領域と絶縁層との間のドーウエル領域20の一部分の上と、ソースとドレインとの間のドーウエルの中のチャンネル領域の上に、ゲート電極26が作成される。



【特許請求の範囲】

【請求項 1】 第1導電形の半導体層を備える底層と、前記半導体層の上に絶縁層を形成する底層と、前記半導体層のソース電極部分を露出するために、および、前記半導体層のドレイン電極部分を露出するために、前記絶縁層をパターンに形成する底層と、前記半導体層の前記ソース電極部分の中に導電性不純物を添加することによりドーピング領域を形成する底層と、前記ソース電極部分のまわりの前記絶縁層の側壁に隣接して側壁領域を形成する底層と、前記半導体層の前記ソース電極部分の中にソース領域を形成する底層、および、前記半導体層の前記ドレイン電極

分の中にドレイン領域を形成する底層と、前記ソース領域と前記絶縁層との間の前記ドーピング領域の一部分の上に、かつ、前記ソース領域と前記ドレイン領域との間の前記ドーピング領域の中のチャンネル領域の上に、ゲート電極を形成する底層と、を有する、DMOSトランジスタの製造法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

相互参照される関連出願

共通に譲渡された下記の特許出願の内容は、本発明の中に組み込まれている。

シリアル番号
08/031,731

受付日

1993年3月15日

TIケース番号

TI-15960

【0002】本発明は、全体的にいえば、半導体装置の製造に関する。さらに詳細にいえば、本発明は、自己整合した横型DMOSトランジスタの製造に関する。

【0003】

【従来の技術およびその問題点】 情報処理能力を有する将来の電力用ICは、アナログ機能およびVLSI論理装置を備えた、高密度電力用装置を必要とするであろう。DMOSトランジスタは、高い電圧を扱うことができる電力用装置への応用において重要であろう。このような装置の場合、良さの指標の1つは、単位面積当たりの電流処理能力、または、単位面積当たりのオン抵抗値である。電圧レートの与えられた場合、DMOS装置のセル面積領域を小さくすることにより、単位面積当たりのオン抵抗値を小さくすることができる。

【0004】電力用トランジスタでは、多結晶シリコン（ポリシリコン）と、ゲート電極およびソース電極をそれぞれ形成する接触領域とを組み合わせた幅は、装置のセル・ピッチと呼ばれる。DMOS電力用トランジスタに対し、ポリシリコン領域の幅を小さくするための従来の技術は、P形ウエルの接合の深さを小さくすることである。けれども、接合の最小の深さは、要求されるブレークダウン電圧により指定される。

【0005】従来の横型DMOS（LDMOS）装置は、その構造が単純であるために、VLSI工程に組み込むのに十分に適している。けれども、LDMOS装置は、垂直型DMOS（VDMOS）装置に比べて劣っていると考えられている。そのために、LDMOS装置はあまり注目されてこなかった。最近、RESURF（縮小された表面フィールド）LDMOS装置は、オン抵抗値（ R_{on} ）に関して良好な特性を有することが示された。しかし、従来のLDMOS装置は、装置の構造が複雑で、かつ、多方面に用いられるという融通性が小さく、ソース・アースの応用に限定されている。

【0006】

【問題点を解決するための手段】 6ボルトの横型DMOS（2重拡散金属・酸化物・半導体）トランジスタで

は、通常、最良の特定のオン抵抗特性を得るために、非常に小さなセル・ピッチが必要である。けれども、整合の許容度が異なるために、LDMOSトランジスタ・ストリップは、わずかに異なる装置寸法を有することになり、それは、特定のオン抵抗値およびブレークダウン電圧が異なることにつながる。この問題点は、セル・ピッチが数ミクロン程度に過ぎない装置では、非常に顕著になる。局所的なホット・スポットや早期のブレークダウンが、過渡期間中に起こることがある。下記において、隣接するトランジスタ・ストリップの間で対称性を保持することが可能で、かつ、前記問題点を有しない、自己整合したLDMOSが説明される。

【0007】その他の目的およびその他の利点は明らかであり、また、その一部分は下記説明により明らかにするであろう。自己整合した横型DMOSトランジスタに対する製造法と装置が、本発明により得ることができる。

【0008】LDMOSトランジスタの製造法が図示される。半導体層が備えられる。この層は、P形基板の上に形成されたN型RESURFであることができる。この半導体層の上に、フィールド酸化物のような絶縁層が形成される。次に、ソース電極およびドレイン電極を露出するために、この絶縁層がパターンに形成される。次に、半導体層のソース電極部分の中に、ドーピング領域が形成される。側壁領域が、ソース電極の周縁の絶縁層の側壁に隣接して形成される。次に、ソース領域およびドレイン領域が、例えば、ヒ素イオンまたはリン・イオンを注入することにより形成される。ソース領域と絶縁層との間のドーピング領域の一部分の上に、ゲート電極が形成される。ソース領域とドレイン領域との間のドーピング領域の中のチャンネル領域の上に、ゲート電極が形成される。

【0009】

【実施例】 本発明の前記特徴は、添付図面を参照しての下記説明により、さらに明確に理解されるであろう。

【0010】 好ましい実施例の製造法およびその利用法が、下記で詳細に説明される。けれども、本発明に含ま

れる概念は、多くの分野に応用することが可能であり、および、幅広い種々の具体的な状況の下で実施することができる。説明される具体的な実施例は、本発明の製造法およびその利用法を基に例示したものであって、本発明の範囲がそれらに限定されることを意味するものではない。

【0011】本発明の構造体および製造法を下記で説明する。好ましい実施例の構造体が、その変更構造体と共に、まず説明される。次に、その構造体の好ましい製造法が説明されるであろう。

【0012】図1は、好ましい実施例のトランジスタ装置10の図面である。装置10は、実際には、2個の横型2重拡散金属・酸化物・半導体トランジスタ10aおよび10bを有する。下記の説明は、トランジスタ10aおよび10bの両方に対し適用されるけれども、実際の説明は、一方に対してのみ行われるであろう。

【0013】トランジスタ装置は半導体基板12の上に作成される。半導体基板12は、単結晶シリコンであることが好ましい。けれども、他の半導体材料を用いることも可能であり、また、多結晶層12を用いることも可能である。基板12の上に、半導体層14が示されている。半導体層14は、基板12の上にエピタクシャル成長により作成された層14を有することができる。または、基板12の上に作成されたウエル（または、タフ）領域14（または、両方の組み合わせ体）を有することができる。好ましい実施例では、層14は、P形基板の上に作成されたN形RESURF（縮小された表面フィールド）のドリフト領域を有する。または、層14を省略し、そして、トランジスタ装置を基板12の中に直接に作成することもできる。また別の実施例では、基板12それ自身は、基板の上に作成された、または、基板の中に作成された、半導体層であることができ、または、SOI（シリコン・オン・絶縁体）技術のように、絶縁体層の上に作成された半導体層でさえあることができる。典型的には、しかし、必ずしもというわけではないが、層12および層14は反対の導電性を有する。例えば、図面に示されているように、基板12はP形不純物が添加された基板であることができ、そして、層14はN形不純物が添加された層であることができる。

【0014】本発明の電界効果トランジスタは、ソース領域16とドレイン領域18とを有する。説明を簡単にするために、Nチャンネル・トランジスタのみが詳細に説明されるであろう。けれども、本発明の概念は、Nチャンネル装置とPチャンネル装置との両方に適用することができる。

【0015】N形不純物が添加されたソース領域16が、P形不純物が添加されたウエル領域20の中に作成される。ウエル領域20は、D-ウエルと呼ばれることが多い。D-ウエル領域20は、図面に示されているように、層14を貫通して基板12の中にまで延長す

ることができる。または、領域20は、層14の中を完全に占めることができる。

【0016】ドレイン領域18は、フィールド絶縁領域24の他の端部に隣接して配置される。好ましい実施例では、フィールド絶縁領域24は、例えば、熱的に成長された二酸化シリコンのようなフィールド酸化物で構成される。

【0017】図面には示されていないけれども、またP形不純物が添加された浅い延長領域を、P形不純物が添加されたD-ウエル領域20に隣接して備えることができる。この浅い延長領域（図面には示されていない）は、典型的には、D-ウエル領域20からフィールド絶縁領域24の第1端部まで延長されるであろう。浅い延長領域を有する実施例は、同時出願のシリアル番号第08/031,731号の出願中特許に開示されている。

【0018】層14の表面の上に、ゲート電極26が作成される。図面に示された実施例では、ゲート26は、ソース16の一部分の上からフィールド絶縁領域24の一部分の上にもまで延長される。好ましい実施例では、このゲート電極は、不純物が添加されたシリコン（通常は多結晶であるが、アモルファス体であることもでき、または、単結晶体であることもできる）で構成される。金属またはシリサイドを含む他の導電材料を、また用いることができる。

【0019】ゲート26は、ゲート誘電体28により、層14の表面から分離される。ゲート誘電体28は、酸化物、または、窒化物、または、これら両者の組み合わせ（例えば、積層されたNO層またはONO層）で構成することができる。

【0020】ゲート電極26の側壁の上に、側壁絶縁領域（図面には示されていない）が作成される。これらの側壁領域は、典型的には、二酸化シリコンのような酸化物材料、または、窒化シリコンのような窒化物材料で構成される。

【0021】図1にはまた、さらに多量の不純物が添加された領域30が示されている。領域30により、D-ウエル領域20との良好な接触を得ることができる。領域30は、典型的には、D-ウエル領域20よりもさらに多量の不純物が添加された領域である。

【0022】トランジスタ装置の中に、ソース/ドレイン接触体32、34、および、36が備えられる。ソース/ドレイン領域16および18を回路の他の部品とを電気的に接続することが、接触体32、34、および、36により得られる。接触体32、34、および、36は導電材料で作成される。この導電材料は、典型的には、アルミニウム、銅、または、金のような金属であることができる。不純物が添加されたポリシリコン、または、チタン・シリサイドまたはタングステン・シリサイドのようなシリサイド、といった他の材料をまた用いることができる。

【0023】図面に示された実施例では、トランジスタ10aおよびトランジスタ10bの両方のソース領域16に対し、1個の接触体34が用いられる。別の実施例では、もしソース領域のおおの回路の異なる部品に接続することが必要ならば、2個の別々の接触体が用いられることが可能である。

【0024】トランジスタ装置10を製造する好ましい方法を、図2から図8までの図面を参照して説明する。

【0025】図2に示されているように、基板12が用意され、そして、その上に半導体層14が備えられる。前記で説明したように、基板の構成は本発明にとってそれほど重要ではない。この基板は、半導体層、または、エピタキシャルに沈着された層の中に作成された、または、単結晶基板の中に作成された、ウェル領域を有することができる。図面に示された実施例では、P形不純物が添加された基板12の上に、N形不純物が添加された層14が作成される。例えば、基板12は約 $10\Omega\text{cm}$ ないし $20\Omega\text{cm}$ の基板で構成され、そして、その中にN形不純物が拡散により添加されたウェル領域14が $7\mu\text{m}$ の深さに作成される。

【0026】半導体層14の上に、フィールド絶縁層24が作成される。フィールド絶縁層24は、典型的には、二酸化シリコンのような酸化物で構成される。フィールド絶縁層24は、熱的成長で作成することができる。または、例えば化学蒸気沈着法による沈着によって作成することができる。

【0027】次に、図3に示されているように、絶縁領域24がパターンに作成され、それにより、ドレイン窓38およびソース窓40がそれぞれ定められる。好ましい実施例では、この窓は、同じ間隔が確実に得られるように、1個のマスクを用いて実行される。

【0028】図4に示されているように、マスク層42は、典型的には、フォトリソで構成されるが、任意のフォトリソグラフィ・マスク層を用いることができる。次に、添加不純物44が層44の中に注入され、それにより、ドーウエル20が作成される。ホウ素はP形ウェルのための好ましい不純物であるが、アルミニウムまたはガリウムのような他の不純物を用いることもできる。拡散のような他の不純物添加法を用いることもできる。P形ウェルの接合の深さを増加するために、高温駆動注入窓を用いることができる。作成されたドーウエル20が、図5に示されている。

【0029】ドーウエル20が作成された後、薄い絶縁層46が作成される。薄い絶縁層46は、 Si_3N_4 のような窒化物で作成されることが好ましい。次に、絶縁領域24の側壁のおおの上、側壁絶縁領域48が作成される。側壁絶縁領域48は、典型的には、酸化物であり、そして、TEOS（テトラエソキシラン）法を用いて作成されることが可能である。または、この側壁領域は窒化物で構成されることが可能である。窒化物層46は、

酸化物側壁領域48の作成の期間中、エッチングに対するマスクの役割を果たす。

【0030】図6に示されているように、窒化物層46の露出された部分（すなわち、側壁領域48の下にない部分）は、ここで除去することができる。

【0031】次の窓は、ソース領域16およびドレイン領域18を作成する窓である。好ましい実施例では、N形不純物が、参照番号50の矢印で示されたように、注入される。好ましい添加不純物はヒ素であるが、リン、または、アンチモン、のような他の添加不純物を用いることもできる。ソース領域16およびドレイン領域18が、図7に示されている。

【0032】N+ソースおよびドレイン注入の前、薄い絶縁層46の上に作成された側壁領域48は、装置に、自己整合したさらに長いMOSチャンネルを与える。したがって、先行技術に付随する長い高温浸入時間を避けることができる。この特徴により、本発明の工程は、従来のVLSI技術とさらに良く両立する工程となる。

【0033】再び図7において、側壁領域48が除去される。接触領域30のための窓を露出するために、この装置の上にマスク層52が作成される。参照番号54の矢印で示されているように、ドーウエル20の中に接触領域不純物が注入される。好ましい実施例では、ホウ素イオンが注入されるが、前記で説明したように、他の不純物を用いた注入を行うこともできる。

【0034】P+形ホウ素注入の後、ゲート誘電体窓（図面には示されていない）が定められる。ゲート誘電体は、典型的には、酸化物であり、そして、熱的酸化により作成されることが好ましい。または、ゲート酸化物28を沈着することができる。

【0035】次に、このゲート誘電体の上に、ゲート層が作成される。その後、このゲート層がパターンに作成され、そして、エッチングされ、それにより、図8に示されているようなゲート電極が作成される。好ましい実施例では、ゲート電極は、不純物が添加されたポリシリコン（多結晶シリコンまたはアモルファス・シリコンを用いることができる）で構成される。好ましい作成法は、例えば、化学蒸気沈着法を用いて、沈着を行う方法である。ポリシリコン・ゲート26に対し、それが作成されると同時に不純物添加を行うことができる。または、それが作成された後に不純物添加を行うことができる。この不純物添加は、例えば、注入または拡散で行うことができる。または、ゲートに対し、他の導電材料を用いることができる。これらの材料としては、アルミニウムのような金属、または、チタン・シリサイドまたはタングステン・シリサイドのようなシリサイド、を用いることが可能である。

【0036】最後に、図1に示された構造体を完成するために、接触領域32、34、および、36を作成す

る際、メタライゼーション工程を用いることができる。この装置の上に、二酸化シリコンのような絶縁層が作成される。次に、接触体用ホールがこの絶縁層の中にエッチングで作成され、そして、この装置 10 と集積回路の上の他の装置と電気的接続を行うために、導電性接触体および相互接続線が作成される。

【0037】本発明は例示された実施例に関して説明されたけれども、前記説明は、本発明がこれらの実施例に限定されることを意味するものではない。前記説明を参照すれば、本発明の他の実施例、および、例示された実施例を種々に変更した実施例、および、それらを種々に組み合わせた実施例の可能であることは、当業者にはすくなく理解されるであろう。したがって、本発明はこのような変更実施例をすべて包含するものである。

【0038】以上の説明に関して更に以下の項を開示する。

(1) 第1導電性の半導体層を備える段階と、前記半導体層の上に絶縁層を作成する段階と、前記半導体層のソース窓部分を露出するために、および、前記半導体層のドレイン窓部分を露出するために、前記絶縁層をパターンに作成する段階と、前記半導体層の前記ソース窓部分の中に導電性不純物を添加することによりローウエル領域を作成する段階と、前記ソース窓部分のまわりの前記絶縁層の側壁に隣接して側壁領域を作成する段階と、前記半導体層の前記ソース窓部分の中にソース領域を作成する段階、および、前記半導体層の前記ドレイン窓部分の中にドレイン領域を作成する段階と、前記ソース領域と前記絶縁層との間の前記ローウエル領域の一部分の上に、かつ、前記ソース領域と前記ドレイン領域との間の前記ローウエル領域の中のチャンネル領域の上に、ゲート電極を作成する段階と、を有する、DMOSトランジスタの製造法。

【0039】(2) 第1項記載の製造法において、前記第1導電性の前記半導体層がN形不純物が添加されたシリコン層である、前記製造法。

(3) 第1項記載の製造法において、前記半導体層がP形基板の上に作成されたN形層である、前記製造法。

(4) 第1項記載の製造法において、前記絶縁層がフィールド酸化物である、前記製造法。

(5) 第4項記載の製造法において、前記基板がシリコンであり、かつ、前記フィールド酸化物を作成する前記段階が熱的に成長する二酸化シリコンである、前記製造法。

【0040】(6) 第1項記載の製造法において、前記絶縁層をパターンに作成する前記段階が1個のマスクで実行される、前記製造法。

(7) 第1項記載の製造法において、前記ローウエルを作成する前記段階が前記半導体層の中に導電性不純物を注入する段階である、前記製造法。

(8) 第7項記載の製造法において、前記導電性不純

物がホウ素である、前記製造法。

(9) 第1項記載の製造法において、側壁領域を作成する前記段階が前記ドレイン窓の周縁に前記絶縁層の側壁に隣接して第2側壁領域を作成する段階をさらに有する、前記製造法。

【0041】(10) 第1項記載の製造法において、前記側壁を作成する前に前記絶縁層と前記ソース窓と前記ドレイン窓との上に薄い絶縁層を作成する段階をさらに有する、前記製造法。

(11) 第10項記載の製造法において、前記薄い絶縁層が窒化物層を有し、かつ、前記絶縁層および前記側壁領域が酸化物領域を有する、前記製造法。

(12) 第1項記載の製造法において、前記側壁領域がテトラエソキシランで作成される、前記製造法。

(13) 第1項記載の製造法において、ソース領域およびドレイン領域を作成する前記段階がN形不純物を注入する段階を有する、前記製造法。

(14) 第1項記載の製造法において、前記N形不純物がヒ素イオンまたはリン・イオンである、前記製造法。

【0042】(15) 第1項記載の製造法において、前記ゲート電極が不純物添加されたシリコンで作成される、前記製造法。

(16) 第1項記載の製造法において、ゲート電極を作成する前記段階がシリコンを沈着する段階を有する、前記製造法。

(17) 第1項記載の製造法において、前記ゲート電極がその場で不純物添加される、前記製造法。

(18) 第1項記載の製造法において、前記ソース領域の上にソース接触体を作成する段階と、前記ドレイン領域の上にドレイン接触体を作成する段階とをさらに有する、前記製造法。

(19) 第1項記載の製造法において、前記ソース領域に隣接した前記ローウエル領域の中に体積接触体領域を作成する段階をさらに有する、前記製造法。

【0043】(20) P形基板の上に作成されたN形シリコン層を備える段階と、前記N形層の上にフィールド酸化物層を作成する段階と、前記半導体層のソース窓部分を露出するために、かつ、前記半導体層のドレイン窓部分を露出するために、前記フィールド酸化物層をパターンに作成する段階と、P形ローウエルを作成するために前記N形層の前記ソース窓部分の中にホウ素を注入する段階と、前記フィールド酸化物層と前記ソース窓と前記ドレイン窓との上に窒化物層を作成する段階と、次に、前記ソース窓の周縁の前記フィールド酸化物の側壁に隣接して側壁酸化物を作成する段階と、次に、前記シリコン層の前記ソース窓部分の中にソース領域を作成するために、および、前記シリコン層の前記ドレイン窓部分の中にドレイン領域を作成するために、N形不純物を注入する段階と、前記ソース領域が前記ローウエルの中

に作成されることと、前記ソース領域と前記フィールド酸化物との間の前記ドーウエル領域の一部の上にゲート電極を作成する段階と、前記ゲート電極が前記ソース領域と前記ドレイン領域との間の前記ドーウエルの中のチャンネルの上に作成されることと、を有する、横型DMOSトランジスタ装置の製造法。

【0044】(21) 第1項記載の製造法において、側壁領域を作成する前記段階が前記ドーウエル領域を作成する段階の後に実行され、かつ、ソース領域を作成する前記段階が前記側壁領域を作成する段階の後に実行される、前記製造法。

(22) LDMOSTランジスタ装置10の製造法が開示される。半導体層14が備えられる。層14は、P形基板12の上に作成されたN形RESURF領域であることができる。フィールド酸化物のような絶縁層24が、半導体層14の上に作成される。次に、ソース窓とドレイン窓を露出するために、絶縁層24がパターンに作成される。次に、前記半導体層の前記ソース窓部分の中に、ドーウエル領域20が作成される。前記ソース窓の周縁の前記絶縁層の側壁に隣接して、側壁領域が作成される。次に、ソース領域16およびドレイン領域18が、例えば、ヒ素イオンまたはリン・イオンを注入することにより、作成される。前記ソース領域16と前記絶縁層24との間の前記ドーウエル領域20の一部の上に、ゲート電極26が作成される。前記ゲート電極26は、前記ソース16と前記ドレイン18との間の前記ドーウエル20の中のチャンネル領域の上に作成される。

【図面の簡単な説明】

【図1】 LDMOSTランジスタの好ましい実施例の横断面図。

【図2】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図3】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図4】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図5】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図6】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

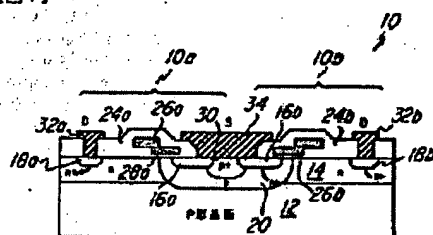
【図7】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図8】 図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

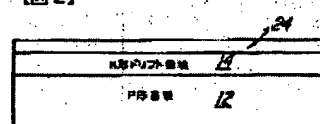
【符号の説明】

- 12 半導体基板
- 14 半導体層
- 16 ソース領域
- 18 ドレイン領域
- 20 ドーウエル領域
- 24 絶縁層
- 26 ゲート電極
- 28 ゲート誘電体
- 32、34、36 接触体

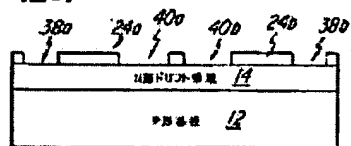
【図1】



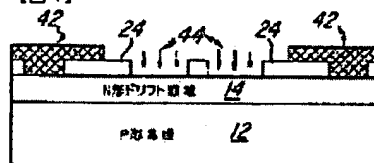
【図2】



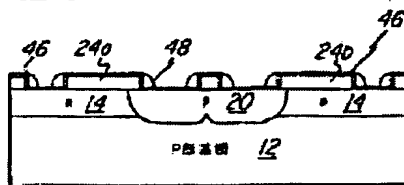
【図3】



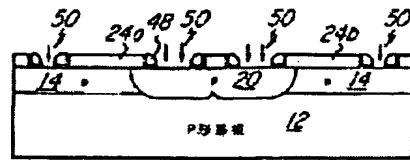
【図4】



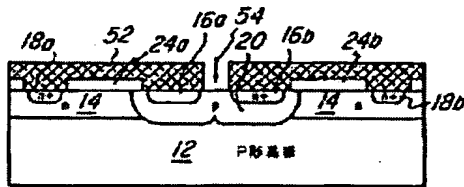
【圖5】



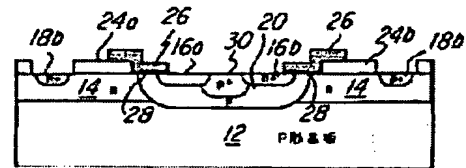
【圖6】



【圖7】



【圖8】



(11) Japanese Laid-Open Patent Application No. 8-97410

(43) Laid-Open Date: April 12, 1996

(21) Application No. 6-151351

(22) Application Date: July 1, 1994

(71) Applicant: Texas Instruments, Inc.

(72) Inventor: Way Tung NUGU

(72) Inventor: O-Kyong QWON

(74) Agent: Patent Attorney, Hiroshi ASAMURA et al.

(54) [Title of the Invention] METHOD FOR PRODUCING SELF-
ALIGNED LATERAL DMOS TRANSISTOR

(57) [Abstract]

[Object] A method for producing a self-aligned lateral DMOS transistor is provided which has optimum on-resistance properties and breakdown voltage, and is simple in structure and is applicable for various purposes.

[Construction] An insulative layer 24 such as of a field oxide is formed on a semiconductor layer 14. Thereafter, this insulative layer is patterned to expose a source window and a drain window. A D-well region 20 is formed in the interior of the window source portion of the semiconductor layer. A sidewall region is formed adjacent to a side wall of the insulative layer and peripherally of the source window. A source region 16 and a drain region 18 are formed,

for example, by ion implantation.. A gate electrode 26 is formed on a portion of the D-well region 20 between the source region and the insulative region, and on a channel region located in the interior of the D-well between the source region and the drain region.

[Claims]

[Claim 1] A method for producing a DMOS transistor, comprising the steps of: providing a first conductive semiconductor layer; forming an insulative layer on said semiconductor layer; patterning said insulative layer to expose a source window portion for said semiconductor layer and a drain window portion for said semiconductor layer; forming a D-well by adding an conductive impurity to said source window portion for said semiconductor layer; forming a sidewall region adjacent to a side wall of said insulative layer located around said source window portion; forming a source region in the interior of said source window portion for said semiconductor layer; forming a drain region in the interior of said drain window portion for said semiconductor layer; and forming a gate electrode on a portion of said D-well region between said source region and said insulative layer, and on a channel region located in said D-well between said source region and said drain region.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

Cross-Reference to Relevant Applications

The disclosure of the patent application assigned commonly and identified below is incorporated in the present invention.

Serial No. 08/031,731

Date of Filing: March 15, 1993

TI Docket No. TI-15960

[0002] The present invention relates generally to methods for producing a semiconductor apparatus, and more particularly, to methods for producing a self-aligned lateral DMOS transistor.

[0003]

[Description of the Related Art and Problems] Advanced power ICs having information processing capabilities will require high density power devices provided with analog functions and VLSI theory devices. DMOS transistors will be important for applications to power apparatus that can work at high voltages. In such apparatus, one of the indices for superiority is the capacity of treating electric current per unit area, or the on-resistance value per unit area. Given the rate of voltage, the on-resistance value per unit area can be lowered by narrowing the cell area region of a DMOS apparatus.

[0004] In DMOS transistors, the width of polycrystalline silicon (polysilicon) combined with contactor regions that constitute a gate electrode and a source electrode, respectively, is called a cell pitch. As to power DMOS transistors, the technique practiced in the convention art in narrowing the width of a polysilicon region is to lower

the junction depth of a P-type well. However, the minimum junction depth is governed by required voltage.

[0005] A conventional lateral DMOS (LDMOS) apparatus is structurally simple and hence is sufficient to allow for incorporation in a VLSI step. The LDMOS apparatus, however, is considered inferior to a vertical DMOS (VDMOS) apparatus so that the LDMOS apparatus is not highly reputed. Recently, an RESURF (reduced surface field) LDMOS apparatus has been found to exhibit superior properties in respect of the on-resistance value (R_{ON}). Since, however, the known LDMOS apparatus is complicated in structure and less flexible for various applications, its use is restricted to source earthes.

[0006]

[Problems to be Solved by the Invention] In the case of a lateral DMOS (double-diffused metal oxide semiconductor) transistor of 6 V, an extremely small cell pitch is usually required to the optimum specific on-resistance properties. However, because the allowance for alignment is different, LDMOS transistor strips result in apparatus dimensions having only small differences. This causes the specific on-resistance properties and breakdown voltages to become varied. Such a problem is very noticeable in apparatus with as small a cell pitch as about several microns. Local hot spot or premature breakdown tends to occur in the course of

transition. Self-aligned LDMOS is described below which is capable of symmetrically retaining its adjacent transistor strips and is free of the above-noted problems.

[0007] Other objects and features of the present invention are obvious, and part of them will become apparent from the following description. A method and an apparatus regarding a self-aligned lateral DMOS transistor can be achieved by this invention.

[0008] A method for producing an LDMOS transistor apparatus is disclosed. A semiconductor layer is provided. This layer can be an N-type RESURF region formed on a P-type substrate. An insulative layer such as of a field oxide is formed on the semiconductor layer. The insulative layer is thereafter patterned to expose a source window and a drain window. Then, a D-well region is formed in the interior of the window source portion of the semiconductor layer. A sidewall region is formed adjacent to a side wall of the insulative layer and peripherally of the source window. A source region and a drain region are then formed by implanting arsenic ions or phosphorus ions, for example. A gate electrode is formed on a portion of the D-well region between the source region and the insulative region. The gate electrode is formed on a channel region located in the interior of the D-well between the source region and the drain region.

[0009]

[Embodiments] The above-described features of the present invention will be more clearly understood upon reading the following description taken in conjunction with the accompanying drawings.

[0010] Preferred embodiments of the method and its use provided below. Aspects of this invention can be used for numerous fields and can be practiced under various wide specific conditions. These embodiments are provided merely for purposes of illustration and should not be construed as limiting to the invention.

[0011] The structure and method of the present invention are described below. Preferred embodiments of the structure are first provided along with modified forms of the structures. Preferred embodiments of the method for producing this structure will follow.

[0012] Fig. 1 shows one preferred embodiment of a transistor apparatus 10. Actually, the apparatus 10 has as a lateral double-diffusion-oxide semiconductor transistor two types of a transistor 10a and a transistor 10b. Though applicable to both the transistor 10a and the transistor 10b, the following description will be directed to one of the two types.

[0013] The transistor apparatus is formed on a semiconductor substrate 12. Preferably, the semiconductor

substrate 12 can be made of monocrystal silicone, but other semiconductor materials may be used. A polycrystal silicone layer 12 is also useful. A semiconductor layer 14 is shown disposed on the substrate 12. The semiconductor layer 14 may consist of a layer 14 that has been formed on the substrate 12 by epitaxial growth, or a well (or a tab) region 14 (or a combination of the well and the tab) that has been formed on the substrate 12. In one preferred embodiment, the layer 14 has a drift region of N-type RESURF (reduced surface field) provided on a P-type substrate. Alternatively, a transistor apparatus may be formed directly in the interior of the substrate 12 with the layer 14 omitted. In another embodiment, the substrate 12 may be disposed as a semiconductor layer on or in a substrate, or even on an insulative layer as is practiced in SOI (silicone on insulation) technology. Typically, but not essentially, the layer 12 and the layer 14 have opposite conductive types. As shown, for example, the substrate 12 may be one having a P-type impurity added thereto, whereas the layer 14 may be a layer having an N-type impurity added thereto.

[0014] The field-effect transistor of the present invention is provided with a source region 16 and a drain region 18. For simplicity, an N-channel transistor will be described in greater detail. Note, however, that aspects of the invention are applicable equally to an N-channel apparatus

and a P-channel apparatus as such.

[0015] A source region 16 having an N-type impurity added thereto is formed in a well region 20 having a P-type impurity added thereto. The well region 20 is usually referred to as a D-well. As shown, the D-well 20 may be extended through the layer 14 to enter the substrate 12, or may occupy the entirety of the layer 14.

[0016] The drain region 18 is located adjacent to other ends of a field insulation layer 24. In one preferred embodiment, a field insulation layer 24 is made of, for example, a field oxide such as silicon dioxide that is derived by thermal growth.

[0017] Though not shown, a shallow extension region having a P-type impurity added thereto may be disposed adjacent to the D-well region having a P-impurity added thereto. This shallow extension region (not shown) may be disposed to extend from the D-well region 20 to a first end of the field insulation region 24. An embodiment showing the use of such a shallow extension region is disclosed in copending application U.S. Serial No. 08/031,731, which is still pending.

[0018] A gate electrode 26 is formed on the surface of the layer 14. In the shown embodiment, the gate 26 extends from above a portion of the source 16 to above a portion of the field insulation region 24. In one preferred embodiment,

the gate electrode 26 is made of silicon having an impurity added thereto (usually, the silicon is in polycrystalline form, but it may be in amorphous form and even in monocrystalline form). Other conductive materials may be used which include metal or silicide.

[0019] The gate 26 is disposed to be separate from the surface of the layer 14 through a gate dielectric 28. The gate dielectric 28 is made of an oxide or a nitride, or a combination thereof (for example, a laminated NO layer or a laminated ONO layer).

[0020] A sidewall insulation region (not shown) is formed on the side wall of the gate electrode 26. The sidewall region is made typically of an oxide material such as silicon oxide, or a nitride material such as silicon nitride.

[0021] In addition, a volume region 30 having an impurity added thereto in a large amount is shown in Fig. 1. The volume region 30 provides a good contact with the D-well region 20. Typically, the volume region 30 is one having an impurity added thereto in a much larger amount than the D-well region 20.

[0022] The transistor apparatus is provided therein with source/drain contactors 32, 34 and 36. The source/drain contactors 32, 34 and 36 bring the source/drain regions 16 and 18 into electrical connection with components other than circuits. The contactors 32, 34 and 36 are made of a

conductive material, and this conductive materials is typified by a metal such as aluminum, copper or gold. Other materials may also be used which include impurity-containing polysilicon, and silicides such as titanium silicide and tungsten silicide.

[0023] In the shown embodiment, the contactor 34 only is used with respect to the source region 16 of each of transistor 10a and the transistor 10b. In another embodiment, two separate contactors can be used when they are required to be connected to components other than each circuit of a source region.

[0024] A preferred method for producing the transistor apparatus 10 is described by referring to Fig. 2 to Fig. 8.

[0025] As shown in Fig. 2, a substrate 12 is prepared on which a semiconductor layer 14 is then provided. The construction of the substrate is not particularly important for the present invention as noted above. This substrate can include a well region formed in an epitaxially deposited layer or a monocrystalline substrate. In the shown embodiment, an N-type impurity-containing layer 14 is formed on the P-type impurity-containing substrate 12. For example, the substrate is made of a substrate of about 10 Ωcm to about 20 Ωcm , and in this substrate, the well region 14 having an N-type impurity added thereto by diffusion is formed at a depth of 7 μm .

[0026] A field insulation region 24 is formed on the semiconductor layer 14. Typically, the field insulation region 24 is made of an oxide such as silicon dioxide. The field insulation region 24 can be formed by epitaxial growth or by deposition such as a chemical vapor deposition system, for example.

[0027] Thereafter, an insulation region 24 is patterned to define a drain window 38 and a source window 40, respectively, as shown in Fig. 3. In one preferred embodiment, this formation step is performed by the use of a single mask in order to ensure that the same space gap should be obtained.

[0028] As shown in Fig. 4, a mask layer 42 is formed typically by the use of a photoresist, but a photolithographic mask may optionally be used. Then, an additive impurity 44 is implanted into a layer 44 to provide a D-well 20. Boron is preferred as impurities for forming a P-type well, but other impurities such as aluminum and gallium may also be used. Additionally, other systems for impurity addition, such as diffusion, are useful. To increase the depth of the P-type well, a high temperature driving interstitial step may be used. The resultant D-well 20 is shown in Fig. 5.

[0029] After formation of the D-well 20, a thin insulative layer 46 is formed, and the thin insulative layer 46 is

preferably derived from a nitride such as Si_3N_4 .

Subsequently, a sidewall insulation region 48 is formed on each of the side walls of the insulation region 24. The sidewall insulation region 48 is made typically of an oxide, and it can be obtained by a TEDS (tetraethoxysilane) system. This sidewall region may be made of a nitride. The nitride layer 46 plays a masking role against etching during formation of the oxide sidewall region 48.

[0030] At this stage, as shown in Fig. 6, a portion exposed from the nitride layer 46 is removed (that is, such a portion is empty below the sidewall region 48).

[0031] The next step is a step in which a source region 16 and a drain region 18 are formed. In one preferred embodiment, N-type impurities are implanted as indicated by the arrows at reference numeral 50. Arsenic is desired as an additive impurity, but other impurities such as phosphorus and antimony may be used. The source region 16 and the drain region 18 are shown in Fig. 17.

[0032] The sidewall region 48, which has been formed on the thin insulation region 46 before an N^+ source and a drain are poured, provides the apparatus with a self-aligned MOS channel having a much greater length. Therefore, prolonged periods of time for high temperature penetration related to the conventional art can be eliminated. Because of this feature, the process steps of the present invention are more

fully compatible with those of the conventional VLSI technology.

[0032] Referring again to Fig. 7, the sidewall region 48 is removed. To expose a window for the volume contactor region 30, a mask layer 52 is disposed on the apparatus. As indicated by the arrows at reference numeral 54, an impurity for a volume contactor is implanted into the D-well 20. In one preferred embodiment, boron ions are implanted, but other impurities may be implanted as described previously.

[0034] After implantation of a P⁺ type boron, a gate dielectric window (not shown) is defined. The gate dielectric is made typically of an oxide, and it is derived preferably by thermal oxidation. Instead, a gate oxide 28 may be caused to deposit.

[0035] A gate layer is then formed on this gate structure, followed by patterning and etching, whereby a gate electrode is formed as shown in Fig. 8. In one preferred embodiment, the gate electrode is made of polysilicon having an impurity added thereto (a polycrystalline silicon or an amorphous silicon can be used). A desirable formation process includes, for example, deposition using the chemical vapor deposition system. Simultaneously with or after the formation of the polysilicon gate 26, an impurity can be added thereto. This impurity addition may be carried out by implantation or diffusion. Other conductive materials may

also be used, and they include a metal such as aluminum and silicides such as titanium silicide and tungsten silicide.

[0036] Finally, in completing the structure shown in Fig. 1, a metallization step can be used to form the contactor regions 32, 34 and 36. In this step, an insulative layer such as of silicon dioxide is formed on the apparatus. Then, holes for the contactors are formed in this insulative layer by means of etching, and conductive contactors and connecting wires are formed to electrically connect the apparatus 10 to other necessary devices disposed on the integrated circuits.

[0037] While the present invention has been described based on specific embodiments, it is to be understood that these embodiments are not construed as limiting the invention. Many additional embodiments, modifications and combinations thereof are readily apparent to persons of ordinary skill in the art. Thus, the present invention can embrace all such modified embodiments.

[0038] Regarding the above description, the following are also disclosed.

(1) A method for producing a DMOS transistor, comprising the steps of: providing a first conductive semiconductor layer; forming an insulative layer on said semiconductor layer; patterning said insulative layer to expose a source window portion for said semiconductor layer and a drain

window portion for said semiconductor layer; forming a D-well by adding an conductive impurity to said source window portion for said semiconductor layer; forming a sidewall region adjacent to a side wall of said insulative layer located around said source window portion; forming a source region in the interior of said source window portion for said semiconductor layer; forming a drain region in the interior of said drain window portion for said semiconductor layer; and forming a gate electrode on a portion of said D-well region between said source region and said insulative layer, and on a channel region located in said D-well between said source region and said drain region.

[0039] (2) The method according to Claim 1, wherein said first conductive semiconductor layer is a silicon layer having an N-type impurity added thereto.

(3) The method according to Claim 1, wherein said semiconductor layer is an N-type layer formed on a P-type substrate.

(4) The method according to Claim 1, wherein said insulative layer is of a field oxide.

(5) The method according to Claim 4, wherein said substrate is of a silicon, and the step of forming said field oxide uses thermally growing silicon dioxide.

[0040] (6) The method according to Claim 1, wherein the step of patterning said insulative layer is performed by

using a single mask.

(7) The method according to Claim 1, wherein a conductive impurity is implanted into said semiconductor layer in the step of forming said D-well.

(8) The method according to Claim 7, wherein said conductive impurity is boron.

(9) The method according to Claim 1, wherein the step of forming a sidewall region includes the step of forming a second sidewall region adjacent to the side wall of said insulative layer and peripherally of said drain window.

[0041] (10) The method according to Claim 1, further comprising the step of, prior to formation of said sidewall region, forming a thin insulative layer on said insulative layer, said source window and said drain window.

(11) The method according to Claim 10, wherein said thin insulative layer includes a nitride layer, and said insulative layer and said sidewall region includes an oxide region.

(12) The method according to Claim 1, wherein said sidewall region is formed from tetraethoxysilane.

(13) The method according to Claim 1, wherein the step of forming a source region and a drain region includes the step of implanting an N-type impurity.

(14) The method according to Claim 1, wherein said N-type impurity is arsenic ions or phosphorus ions.

[0042] (15) The method according to Claim 1, wherein said gate electrode is formed from silicon having an impurity added thereto.

(16) The method according to Claim 1, wherein the step of forming a gate electrode includes the step of depositing silicon.

(17) The method according to Claim 1, wherein said gate electrode has an impurity added thereto in situ.

(18) The method according to Claim 1, further comprising the step of forming a source contactor on said source region, and the step of forming a drain contactor on said drain region.

(19) The method according to Claim 1, further comprising the step of forming a volume contactor region in the interior of said D-well region located adjacent to said source region.

[0043] (20) A method for producing a lateral DOMOS transistor apparatus, comprising the steps of providing an N-type silicon layer on a P-type substrate; forming a field oxide layer on said N-type layer; patterning said field oxide layer to expose a source window portion for said semiconductor layer and a drain window portion for said semiconductor layer; implanting boron into said window portion for said N-type layer to form a P-type D-well; forming a nitride layer on said field oxide layer, said

source window and said drain window; then forming a sidewall oxide adjacent to the side wall of said field oxide and peripherally of said source window; then implanting an N-type impurity to provide a source region in the interior of said source window portion for said silicon layer and to provide a drain region in the interior of said drain window portion for said silicon layer so that said source region is provided in the interior of said D-well; and forming a gate electrode on a portion of said D-well region located between said source region and said field oxide so that said gate electrode is provided on channels located in the interior of said D-well between said source region and said drain region.

[0044] (21) The method according to Claim 1, wherein the step of forming a sidewall region is effected after the step of forming a D-well, and the step of a source region is effected after the step of a sidewall region.

(22) A method for producing an LDMOS transistor apparatus 10 is disclosed. A semiconductor layer 14 is provided. The layer 14 can be an N-type RESURF region formed on a P-type substrate 12. An insulative layer 24 such as of a field oxide is formed on the semiconductor layer 14. Subsequently, the insulative layer 24 is patterned to expose a source window and a drain window. Then, a D-well region 20 is formed in the interior of the window source portion of the semiconductor layer. A sidewall region is formed adjacent

to a side wall of the insulative layer and peripherally of the source window. A source region 16 and a drain region 18 are thereafter formed by implanting arsenic ions or phosphorus ions, for example. A gate electrode 26 is formed on a portion of the D-well region 20 between the source region 16 and the insulative region 24. The gate electrode 26 is formed on a channel region located in the interior of the D-well 20 between the source region 16 and the drain region 18.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 shows a cross-sectional view of an LDMOS transistor in accordance with one preferred embodiment.

[Fig. 2] Fig. 2 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 3] Fig. 3 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 4] Fig. 4 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 5] Fig. 5 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 6] Fig. 6 shows a cross-sectional view of the

transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 7] Fig. 7 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Fig. 8] Fig. 8 shows a cross-sectional view of the transistor of Fig. 1 in a sequence of steps used to produce this transistor.

[Reference Numerals]

- 12 semiconductor substrate
- 14 semiconductor layer
- 16 source region
- 18 drain region
- 20 D-well region
- 24 insulative layer
- 26 gate electrode
- 28 gate dielectric
- 32, 34, 36 contactors

[Fig. 1]

P-TYPE SUBSTRATE

[Fig. 2]

P-TYPE SUBSTRATE

N-TYPE DRIFT REGION

[Fig. 3]

P-TYPE SUBSTRATE

N-TYPE DRIFT REGION

[Fig. 4]

P-TYPE SUBSTRATE

N-TYPE DRIFT REGION

[Fig. 5]

P-TYPE SUBSTRATE

[Fig. 6]

P-TYPE SUBSTRATE

[Fig. 7]

P-TYPE SUBSTRATE

[Fig. 8]

P-TYPE SUBSTRATE